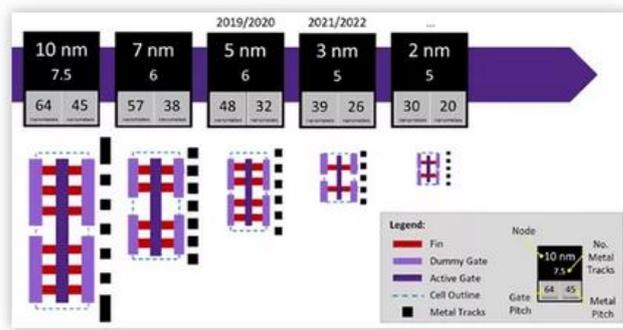


TSMC 宣布开始 2nm 工艺节点研发

来源：综合芯智讯、微博等

今年 4 月初，TSMC 宣布，其 5nm 制程已正式进入试产阶段，并已在开放创新平台下推出完整的 5nm 设计架构。今天，TSMC 官方又宣布，正式启动 2nm 工艺的研发，工厂设置在位于台湾新竹的南方科技园，预计 2024 年投入生产。

按照 TSMC 给出的指标显示，2nm 工艺是一个重要节点，Metal Track（金属单元高度）和 3nm 一样维持在 5x，同时 Gate Pitch（晶体管栅极间距）缩小到 30nm，Metal Pitch（金属间距）缩小到 20nm，相比于 3nm 都小了 23%。



在那之前，TSMC 还要接连经历 7nm、6nm、5nm、3nm 等多个工艺节点。其中，7nm 工艺将首次引入 EUV 极紫外光刻技术，目前已即将量产；而 6nm 只是 7nm 的一个升级版，预计明年第一季度试产；5nm 工艺将全面导入 EUV 光刻，已开始风险性试产，明年底之前有望实现量产，苹果 A14、AMD Zen 4 都有望采纳。3 纳米晶圆厂有望在 2021 年试产、2022 年量产。三星也早就规划到了 3nm，预期 2021 年量产。

	16nm	10nm	7nm	5nm	3nm
Chip area (mm ²)	125.00	87.66	83.27	85.00	85.00
No. of transistors (BU)	3.3	4.3	6.9	10.5	14.1
Gross die per wafer	478	686	721	707	707
Net die per wafer	359.74	512.44	545.65	530.25	509.04
Wafer price (\$)	5,912.00	8,389.00	9,965.00	12,500.00	15,500.00
Die cost (\$)	16.43	16.37	18.26	23.57	30.45
Transistor cost per 1B transistors (\$)	4.98	3.81	2.65	2.25	2.16

Note:

* Chip area and transistor count for 5nm and 3nm are IBS estimates.